

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-247830

(43)公開日 平成10年(1998)9月14日

(51)Int.Cl.<sup>6</sup>

H 03 F 3/45

H 03 G 3/10

識別記号

F I

H 03 F 3/45

Z

H 03 G 3/10

B

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21)出願番号

特願平9-50293

(22)出願日

平成9年(1997)3月5日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 平林 敦志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 藤田 幸祐

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 小森 健司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 松隈 秀盛

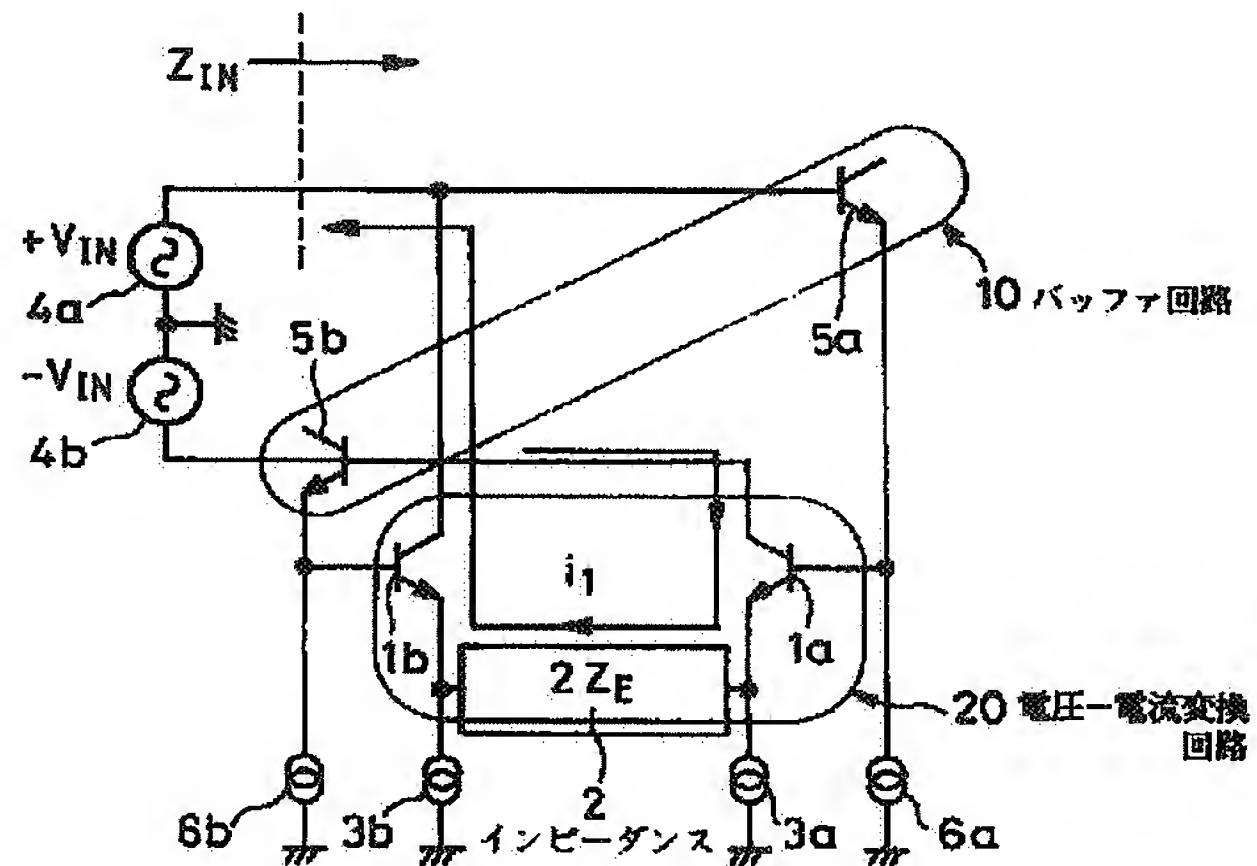
最終頁に続く

(54)【発明の名称】 負性アンプ回路

(57)【要約】

【課題】 負のインピーダンス回路を用いた負性アンプ回路を形成する。

【解決手段】 トランジスタ1a、1bからなる差動対が設けられる。そしてこれらのトランジスタ1a、1bのエミッタ間に、値 $2 \cdot Z_E$ のインピーダンス2が直列に接続されると共に、これらのエミッタがそれぞれ電流源3a、3bを通じて接地される。また、それぞれ電圧値 $\pm V_{IN}$ の入力信号源4a、4bが、それぞれバッファ回路10を構成するトランジスタ5a、5bのベース-エミッタ間を通じてトランジスタ1a、1bのベースに接続される。また、トランジスタ5a、5bのエミッタがそれぞれ電流源6a、6bを通じて接地される。さらにトランジスタ1a、1bのコレクタが、互いにもう一方のトランジスタ1a、1bのベースに、それぞれトランジスタ5a、5bのベース-エミッタ間を通じて接続される。



## 【特許請求の範囲】

【請求項1】 差動対を有し、  
上記差動対のエミッタ間にインピーダンスを接続して電圧-電流変換用コンダクタンスを形成し、  
上記差動対のコレクタ出力を互いにもう一方のベース入力へ帰還して上記エミッタ間に接続されたコンダクタンスを負性のインピーダンスとしてコレクタ負荷へ電流帰還することにより、  
上記差動対のコレクタ側から見た入力インピーダンスとして負性のインピーダンスを発生する負性インピーダンス発生回路が形成されることを特徴とする負性アンプ回路。

【請求項2】 請求項1記載の負性アンプ回路において、  
上記負性インピーダンス発生回路を第2の差動対のコレクタ負荷に接続し、  
上記インピーダンスをキャパシタンスとすることにより、  
上記差動対のコレクタ浮遊容量をキャンセルするコレクタ浮遊容量キャンセル回路が形成されることを特徴とする負性アンプ回路。

【請求項3】 請求項2記載の負性アンプ回路において、  
上記第2の差動対のコレクタ負荷に上記コレクタ浮遊容量キャンセル回路を接続すると共に、  
第2の上記負性インピーダンス発生回路のインピーダンスを抵抗とし、  
上記抵抗を用いた負性インピーダンス発生回路のコレクタにフルバランス型の電流制御回路を挿入することにより、  
利得をプラスからマイナスまで可変する利得可変回路が形成されることを特徴とする負性アンプ回路。

【請求項4】 請求項3記載の負性アンプ回路において、  
上記利得可変回路を制御することで利得制御アンプ回路が構成されることを特徴とする負性アンプ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えばラジオ受信機、テレビジョン受信機、衛星放送受信機、ビデオレコーダー、移動体通信機等に用いられる高周波アンプ回路や、高利得アンプ回路等に使用して好適な負性アンプ回路に関するものである。

## 【0002】

【従来の技術】 例えばテレビジョン受信機に用いられる高周波アンプ回路や高利得アンプ回路においては、従来から例えば図6に示すような利得制御アンプ回路が使用されている。すなわち図6は、従来の利得制御アンプ回路の構成を示す。

## 【0003】 この図6において、トランジスタ61a、

61bからなる差動対が設けられ、これらのトランジスタ61a、61bのベースにはそれぞれ電圧値 $\pm V_{IN}$ の入力信号源62a、62bが接続される。また、トランジスタ61a、61bのエミッタはそれぞれ電流源63a、63bを通じて接地されると共に、これらのエミッタ間に抵抗値 $R_E$ のエミッタ抵抗64が接続される。

【0004】 さらにトランジスタ61a、61bのコレクタには、それぞれ電圧値 $V_C$ の制御電圧源65によって制御されるトランジスタ66a、66b、67a、67bからなる電流制御回路が接続される。そしてこの電流制御回路の内のトランジスタ66a、66bのコレクタがそれぞれ抵抗値 $R_C$ のコレクタ抵抗68a、68bを通じて電源 $V_{CC}$ に接続されると共に、トランジスタ66a、66bのコレクタから電圧値 $V_O$ の出力信号端子69a、69bが導出される。

## 【0005】

【発明が解決しようとする課題】 ところで図6に示す利得制御アンプ回路においては、その最大利得は、エミッタ抵抗64の抵抗値 $R_E$ とコレクタ抵抗68a、68bの抵抗値 $R_C$ との比で決定される。また、最大S/Nは、そのコレクタ抵抗68a、68bの抵抗値 $R_C$ で決定される。

【0006】 そこで、まず最大利得であるが、上述の回路で利得をとろうとしてコレクタ抵抗68a、68bの抵抗値 $R_C$ を大きくすると、トランジスタ66a、66bのコレクタに存在する浮遊容量のためにローパスフィルタ(LPF)が形成されてしまう。このため回路の周波数特性が劣化し、望みの周波数において十分な利得がとれなくなる。

【0007】 しかるに周波数特性を伸ばすためにコレクタ抵抗68a、68bの抵抗値 $R_C$ を小さくすると、利得が低下する。このため必然的にエミッタ抵抗64の抵抗値 $R_E$ を小さくする必要がある。しかしこのとき、入力ダイナミックレンジをとらなくてはいけないので、結果としてバイアス電流を大きくせねばならない。その場合に、電源電圧の制約があるため、再度、負荷抵抗の見直しとなる。

【0008】 以上のこととは、利得、周波数特性、入力、出力ダイナミックレンジが、相互に関係をもっているために設計の自由度を狭めているからである。また、最大S/Nは入力レベルが大きくなり利得をしぼっている状態であるが、従来、アンプ回路の負荷抵抗は可変されないためS/Nの改善は望めない。

【0009】 以上の理由により、従来の利得制御アンプ回路では、利得を稼ぐためにアンプ回路を何段も従属接続する必要があり、その結果、S/N悪化、DG-DPの悪化、消費電力の増大を招いている。

【0010】 この出願はこのような点に鑑みて成されたものであって、解決しようとする問題点は、従来の利得制御アンプ回路では、利得、周波数特性等が相互に関係

をもつておるために設計の自由度が狭められ、また、利得を稼ぐためにアンプ回路を何段も従属接続する必要があり、S/N悪化、消費電力の増大等を招いておるといふものである。

【0011】

【課題を解決するための手段】このため本発明においては、差動対のエミッタ間に接続されたインピーダンスを、電圧-電流変換回路を通してコレクタ間に電流帰還することにより、負のインピーダンス回路を形成するようとしたものであつて、これによれば、負のインピーダンス回路を用いた負性アンプ回路を形成することができる。

【0012】

【発明の実施の形態】すなわち本発明においては、差動対を有し、差動対のエミッタ間にインピーダンスを接続して電圧-電流変換用コンダクタンスを形成し、差動対のコレクタ出力を互いにもう一方のベース入力へ帰還してエミッタ間に接続されたコンダクタンスを負性のインピーダンスとしてコレクタ負荷へ電流帰還することにより、差動対のコレクタ側から見た入力インピーダンスとして負性のインピーダンスが発生されるようにしたものである。

【0013】以下、図面を参照して本発明を説明するに、図1は本発明による負性アンプ回路を適用した負性インピーダンス発生回路の一例の構成を示す接続図である。

【0014】この図1において、トランジスタ1a、1bからなる差動対が設けられる。そしてこれらのトランジスタ1a、1bのエミッタ間に、値 $2 \cdot Z_E$ のインピーダンス2が直列に接続されると共に、これらのエミッタがそれぞれ電流源3a、3bを通じて接地される。

【0015】また、それぞれ電圧値 $\pm V_{IN}$ の入力信号源4a、4bが、それぞれバッファ回路10を構成するトランジスタ5a、5bのベース-エミッタ間を通じてトランジスタ1a、1bのベースに接続される。また、トランジスタ5a、5bのエミッタがそれぞれ電流源6a、6bを通じて接地される。さらにトランジスタ1a、1bのコレクタが、互いにもう一方のトランジスタ1a、1bのベースに、それぞれトランジスタ5a、5bのベース-エミッタ間を通じて接続される。

【0016】従ってこの回路において、トランジスタ1a、1bの各ベースには、入力信号源4a、4bからの電圧値 $\pm V_{IN}$ の入力信号がそれぞれトランジスタ5a、5bのバッファ回路10を通じて印加される。そしてこれらの印加電圧 $\pm V_{IN}$ が電流 $i_1$ に変換されるように電圧-電流変換回路20が構成されている。なおバッファ回路10は、直流シフト、及びトランジスタ1a、1bのベース方向の入力インピーダンスを上げる役割を兼ねているものである。

【0017】そこでこの回路において、例えば電圧値+

$V_{IN}$ の入力信号源4aから見た入力インピーダンス $Z_{IN}$ は、次の【数1】の式で表わされる。

【数1】

$$Z_{IN} = \frac{V_{IN}}{-i_1} = -Z_E$$

【0018】従ってこの図1の回路において、等価的に電圧値 $+V_{IN}$ の入力信号に対してインピーダンス2のインピーダンス値 $-Z_E$ が直列に存在していることになり、等価的に負のインピーダンスが形成されて、負性インピーダンス発生回路を形成することができる。

【0019】次に図2に、図1の負性インピーダンス回路（負性アンプ回路）の応用として、負性キャパシタンス発生回路を形成した場合の一例の構成を示す。なお以下の説明で、上述の図1の回路と対応する部分には、同一符号を付して重複の説明を省略する。

【0020】この図2において、負性キャパシタンス発生回路は、上述の負性インピーダンス発生回路の差動対を構成するトランジスタ1a、1bのエミッタ間に、上述のインピーダンス2として抵抗値 $R_1$ の抵抗21a、21bと、容量値 $C_1/2$ のキャパシタンス22を接続したものである。さらにトランジスタ1a、1bのコレクタに、それぞれ抵抗値 $R_2$ の抵抗23b、23aを対称に接続する。

【0021】この場合に、キャパシタンス22に流れる電流の値を $i_1$ として、例えば電圧値 $+V_{IN}$ の入力信号源4aから見た入力インピーダンス $Z_{IN}$ は、次の【数2】の式で表わされる。

【数2】

$$Z_{IN} = \frac{V_{IN}}{-i_1} = R_1 - R_2 - \frac{1}{SC_1}$$

【0022】そしてこの図2の回路において、 $R_1 = R_2$ とした場合には、

$$Z_{IN} = -1/SC_1$$

となって、入力インピーダンス $Z_{IN}$ は負のキャパシタンスのみとなり、負性キャパシタンス発生回路を形成することができる。

【0023】さらに図3は、図1の負性インピーダンス回路（負性アンプ回路）の応用として、負性抵抗発生回路を形成した場合の一例の構成を示す。なお以下の説明で、上述の図1、図2の回路と対応する部分には、同一符号を付して重複の説明を省略する。

【0024】この図3において、負性抵抗発生回路は、上述の負性インピーダンス発生回路の差動対を構成するトランジスタ1a、1bのエミッタ間に、インピーダンス2として抵抗値 $R_1$ の抵抗21a、21bを接続したものである。

【0025】この場合に、抵抗21a、21bに流れる電流の値を $i_2$ として、例えば電圧値 $+V_{IN}$ の入力信号

源4aから見た入力インピーダンス $Z_{IN}$ は、次の〔数3〕の式で表わされる。

【数3】

$$Z_{IN} = \frac{V_{IN}}{-i_2} = -R_1$$

【0026】従ってこの図3の回路において、等価的に電圧値 $+V_{IN}$ の入力信号に対してインピーダンス2のインピーダンス値 $-R_1$ が直列に存在していることになり、等価的に負の抵抗が形成されて、負性抵抗発生回路を形成することができる。

【0027】さらに図4は、本発明の負性アンプ回路の一実施例を示し、この例では、図2の負性キャパシタンス発生回路の応用として、コレクタ浮遊容量キャンセル回路を形成した場合の一例の構成を示す。なお以下の説明で、上述の図1～図3の回路と対応する部分には、同一符号を付して重複の説明を省略する。

【0028】ここでコレクタ浮遊容量キャンセル回路は、例えば差動アンプに、図2に示した負性キャパシタンス発生回路を負荷として付け加えたものである。ただし、以下の説明で、図2に示した抵抗21a、21b、23a、23bは、抵抗値 $R_1$ 、 $R_2$ が等しいものとして省略されている。

【0029】すなわちこの図4において、電圧値 $\pm V_{IN}$ の入力信号源4a、4bが、それぞれ差動対となるトランジスタ11a、11bのベースに接続される。また、トランジスタ11a、11bのエミッタがそれぞれ電流源12a、12bを通じて接地されると共に、これらのエミッタ間に抵抗値 $2R_3$ のエミッタ抵抗13が直列に接続される。

【0030】さらにトランジスタ11a、11bのコレクタがそれぞれ抵抗値 $R_4$ のコレクタ抵抗14a、14bを通じて電源 $V_{CC}$ に接続されて差動アンプが形成される。なお、図4中に示した容量値 $C_S$ のコンデンサー15a、15bは、負性キャパシタンス発生回路のトランジスタ1a、1b及び差動アンプのトランジスタ11a、11bにもともと存在するコレクタ浮遊容量の総和である。

【0031】そしてこの回路において、エミッタ抵抗13をながれる電流を $i_3$ 、コレクタ抵抗14a、14bをながれる電流を $i_4$ として、トランジスタ11a、11bのコレクタの出力端子16a、16bに得られる出力電圧値 $\pm V_0$ を求めるとき、この電圧値 $V_0$ は次の〔数4〕で表わされる。

【0032】

【数4】

$$\frac{V_0}{R_4} + V_0 \cdot S C_S - V_0 \cdot S C_1 = \frac{V_{IN}}{R_3}$$

【0033】すなわちこの回路において、負性キャパシ

タンス発生回路を負荷として付け加えることによって、負荷抵抗14a、14bに並列に負性容量 $(-C_1)$ がついていることになる。

【0034】従ってこの回路において、浮遊容量であるコンデンサー15a、15bとコンデンサー22の容量値 $C_S$ 、 $C_1$ が等しい時、見かけ上コレクタ浮遊容量がキャンセルされることになる。これにより差動アンプの使用周波数帯域が広がると同時に、負荷抵抗を大きくして利得を稼ぐことが可能となる。つまり、ある利得を稼ぐ場合、従来に比して少ない段数で目標を達成できるということである。

【0035】さらに図5は、本発明の負性アンプ回路の他の実施例を示し、この例では、図2の負性キャパシタンス発生回路、及び図3の負性抵抗発生回路の応用として、利得制御アンプ回路を形成した場合の一例の構成を示す。なお以下の説明で、上述の図1～図3の回路と対応する部分には、同一符号を付して重複の説明を省略する。

【0036】ここで利得制御アンプ回路は、図4に示したコレクタ浮遊容量キャンセル回路に加えて、図3に示した負性抵抗発生回路と、トランジスタ31a、31b、32a、32bからなる電流制御回路30と、トランジスタ41a、41b、42a、42bからなる電流制御回路40とから構成される。

【0037】すなわち図5において、差動アンプのトランジスタ11a、11bのコレクタと抵抗値 $R_4$ のコレクタ抵抗14a、14bとの間に、それぞれ電圧値 $\pm V_{C1}$ の制御電圧源33によって制御されるトランジスタ31a、31b、32a、32bからなる電流制御回路30が接続される。なお、抵抗13に流れる電流の値を $i_3$ とする。

【0038】また、コレクタ浮遊容量キャンセル回路の中の負性キャパシタンス発生回路を形成するトランジスタ1a、1bとベースが共通に接続されたトランジスタ1'a、1'bからなる差動対が設けられ、これらのエミッタ間に抵抗値 $R_1$ のエミッタ抵抗21a、21bが直列に接続されることによって負性抵抗発生回路が形成される。

【0039】さらにこの負性抵抗発生回路のトランジスタ1'a、1'bのコレクタが、それぞれ電圧値 $\pm V_{C2}$ の制御電圧源43によって制御されるトランジスタ41a、41b、42a、42bからなる電流制御回路40を通じて、負性キャパシタンス発生回路の出力トランジスタ5a、5bのベースに共通に接続される。なお、抵抗21a、21bに流れる電流の値を $i_2$ とする。

【0040】そしてこの回路において、電流制御回路30によってかかる係数を $m$ とし、電流制御回路40によってかかる係数を $k$ として、出力端子16a、16bに得られる出力電圧値 $\pm V_0$ を求めるとき、この電圧値 $V_0$ は次の〔数5〕で表わされる。

【0041】

$$\frac{V_o}{R_4} + V_o \cdot SC_s - k \cdot i_2 = m \cdot (i_s + i_1)$$

$$\therefore \frac{V_o}{R_4} + V_o \cdot SC_s - k \cdot \frac{V_o}{R_1} = m \cdot \left[ \frac{V_{IN}}{R_3} + V_o \cdot SC_1 \right]$$

$$\therefore \frac{V_o}{V_{IN}} = \frac{m}{R_3} \cdot \frac{1}{\frac{1}{R_4} - \frac{k}{R_1} + S(C_s - m \cdot C_1)}$$

但し、 $0 < m < +1$ 、 $-1 < k < 1$ 

【0042】すなわちこの【数5】の式からは、利得制御アンプ回路の負荷インピーダンスが、負性抵抗発生回路のエミッタ抵抗21a、21bの抵抗値を $R_1$ 、利得制御アンプ回路のコレクタ抵抗14a、14bの抵抗値を $R_4$ 、浮遊容量15a、15bの容量値を $C_s$ 、及びコンデンサー22の容量値を $C_1$ の並列回路となっていることが読み取れる。

【0043】従ってこの回路において、負荷抵抗が最大となるのは $k = 1$ の時であり、同時に条件として $R_1 > R_4$ でなければいけない。なぜならその関係が逆の場合には出力が反転するからである。さらに $R_1 > R_4$ の条件を満たしたまま $R_1$ を $R_4$ に近付けると利得がその分上昇することがわかる。

【0044】また最大利得時にはコレクタ浮遊容量により周波数特性が悪化するため係数 $m$ をコントロールして浮遊容量15a、15bの容量値を $C_s$ を $(m \cdot C_1)$ にてキャンセルする必要があり、仮りに $C_1 = C_s$ であるとすれば、 $k = 1$ のとき $m = 1$ でなくてはいけない。

【0045】なお、理論上 $k$ を絞っていく段階で $m$ を1のまま保持せねばならない範囲は、コレクタ浮遊容量についても周波数特性が使用周波数に影響を及ぼさない程度までである。しかし実際はS/Nの観点から考えると必然的に負荷抵抗を十分絞り切っておいたほうがよいので $k$ を1から絞りはじめて-1になるまで $m = 1$ を保持し、それから $m$ を絞りはじめるのである。

【0046】従って本発明の利得制御アンプ回路は、第1に $k$ を絞りはじめ、次に $m$ を絞るというアンプ一段の中にすでに利得制御のデイレイ方式が存在することも大きな特徴とするものである。なお従来、利得制御アンプ回路においては従属に接続されたアンプ同士のデイレイをかけた利得制御はあったが、このように一段のアンプ内にデイレイが存在するのは初めてである。

【0047】これにより上述の回路において、負荷抵抗を十分にしぼってから入力差動アンプの電流をしぼることにより、ノイズの発生源である負荷抵抗が最小となりS/Nが向上するのである。

【0048】こうして本発明の負性アンプ回路によれば、一組の差動アンプの接続された負のインピーダンス回路、また、負のインピーダンス回路として特に負のコ

【数5】

ンデンサー、負の抵抗を用いた利得制御アンプ回路を形成することができるものである。

【0049】また本発明の負性アンプ回路によれば、負のインピーダンスを用いて等価的に負のコンデンサーを作り出すことにより、トランジスタのコレクタに存在する浮遊容量をキャンセルすると同時に、負のインピーダンスを用いて等価的に負の抵抗を作り出すことにより、アンプの負荷抵抗を可変することができるものである。

【0050】これにより本発明の負性アンプ回路によれば、アンプの周波数特性が向上し、アンプ一段あたりの利得が大幅にアップする。従って、従来に比して少ない段数で高い利得が実現でき、これは結果としてアンプ回路のリニアリティーを改善すると共に、ノイズの低下につながるものである。

【0051】また、本発明の負性アンプ回路によれば、大きい入力レベル時に利得を絞る場合、負の抵抗をマイナスからプラスに可変することによりS/Nの大幅なる改善が可能となる。これにより、低消費電力、性能の改善、ICチップ面積の縮小、製造コストの大幅な削減が可能となるものである。

【0052】

【発明の効果】以上詳述した本発明によれば、負性インピーダンス発生回路を形成することにより、シリコン内に様々な負性のインピーダンスを発生させることができ、従来では困難とされていた高いインピーダンスを作りだすことができる。従って少ない素子数での高利得アンプ回路、またIC内に小さな容量を利用して大容量を作りだすことが可能となり、結果としてICチップ面積の縮小を可能とする。さらに消費電力の削減、ICのコストの削減、製造コストの削減、基板面積縮小などの利点をもたらす。

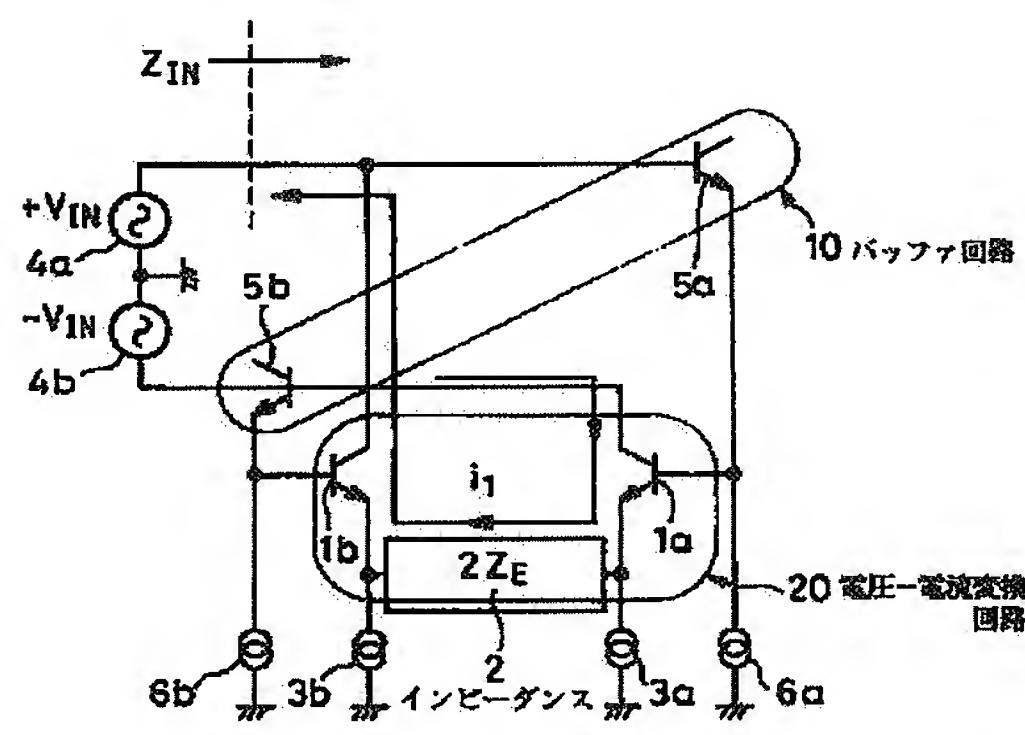
【0053】また本発明によれば、コレクタ浮遊容量キャンセル回路を形成することにより、従来、必ず存在していたトランジスタのコレクタ浮遊容量を少なく見せることができるために、トランジスタを利用したアンプ回路の使用周波数帯域を大幅に広げることができる。またコレクタ浮遊容量が減った分だけ、負荷抵抗を大きくすることができ、結果としてアンプ一段当たりの利得をアッ

することができる。従って従来に比して少ない素子数で望みのアンプ利得を稼ぐことができ、ICのチップサイズを縮小することができ、ICの性能、特にS/Nの向上、消費電力の削減、ICのコストの削減、製造コストの削減、基板面積縮小などの利点をもたらす。

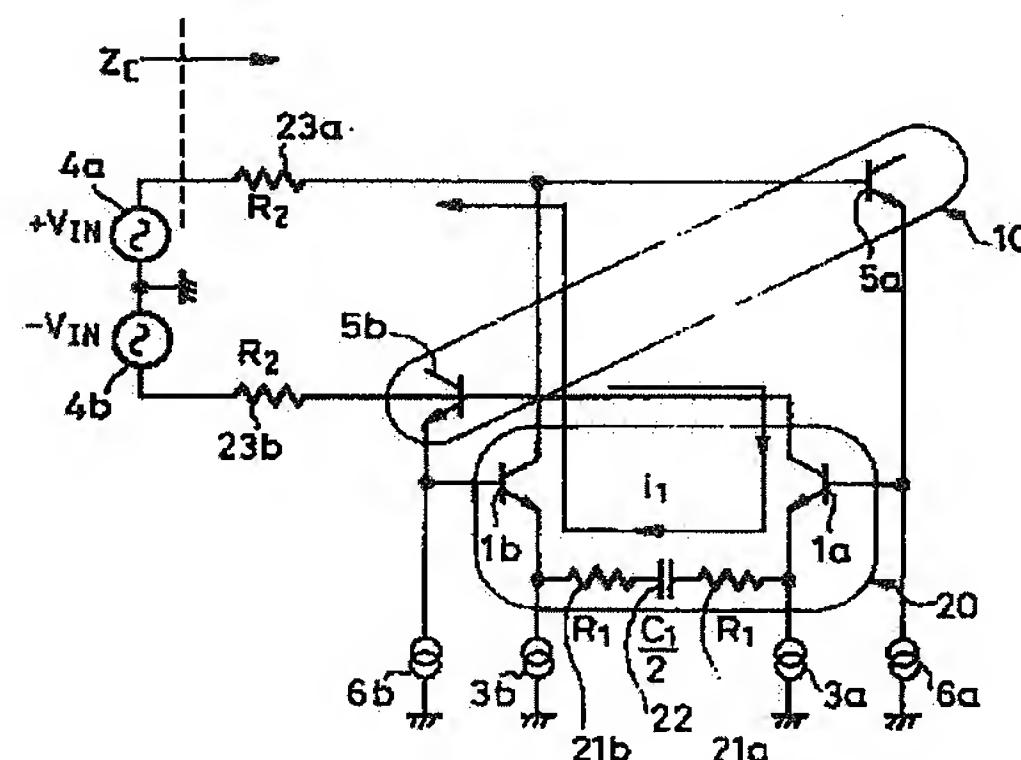
【0054】さらに本発明によれば、利得制御アンプ回路を形成することにより、従来、数十デシベルのアンプを構成するに当たり、アンプ回路の段数、回路構成素子数の大幅な削減が可能となる。従って性能的にはS/Nの向上、消費電力の削減、低電圧オペレーションに充分対応可能となる。また、利得制御アンプ回路において、最大S/Nの決定的原因であったコレクタの負荷抵抗自体が利得リダクション時に小さくなるため、従来より数デシベルのS/Nの改善が可能となる。従ってICのチップサイズを縮小することができ、ICの性能、特にS/Nの向上、消費電力の削減、ICのコストの削減、製造コストの削減、基板面積縮小などの利点をもたらす。

【図面の簡単な説明】

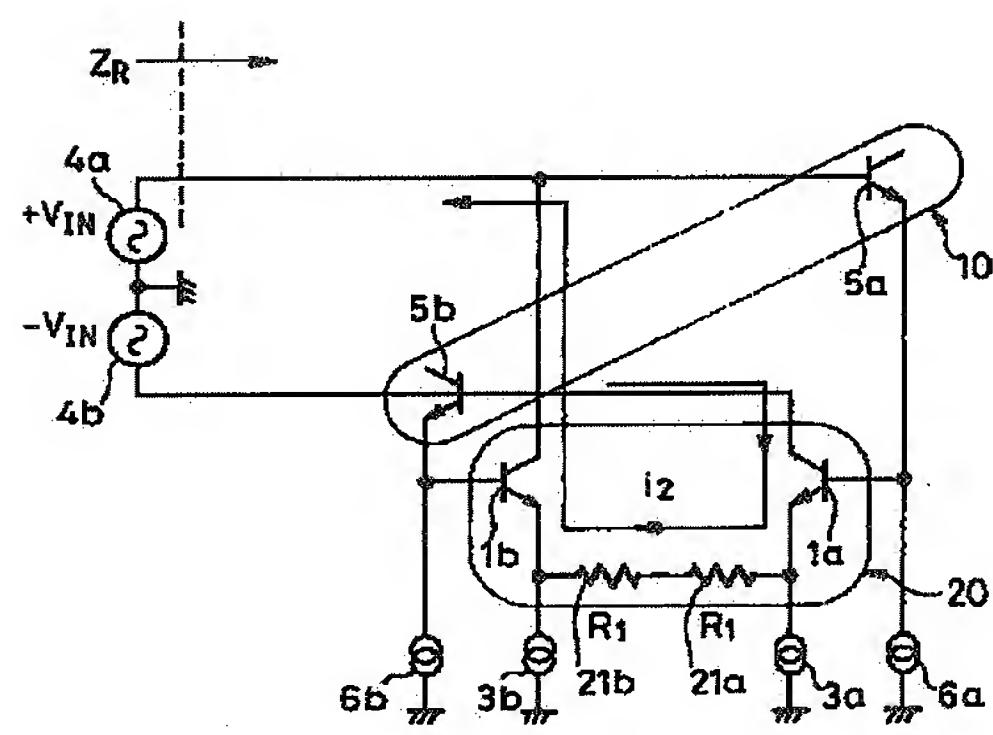
【図1】



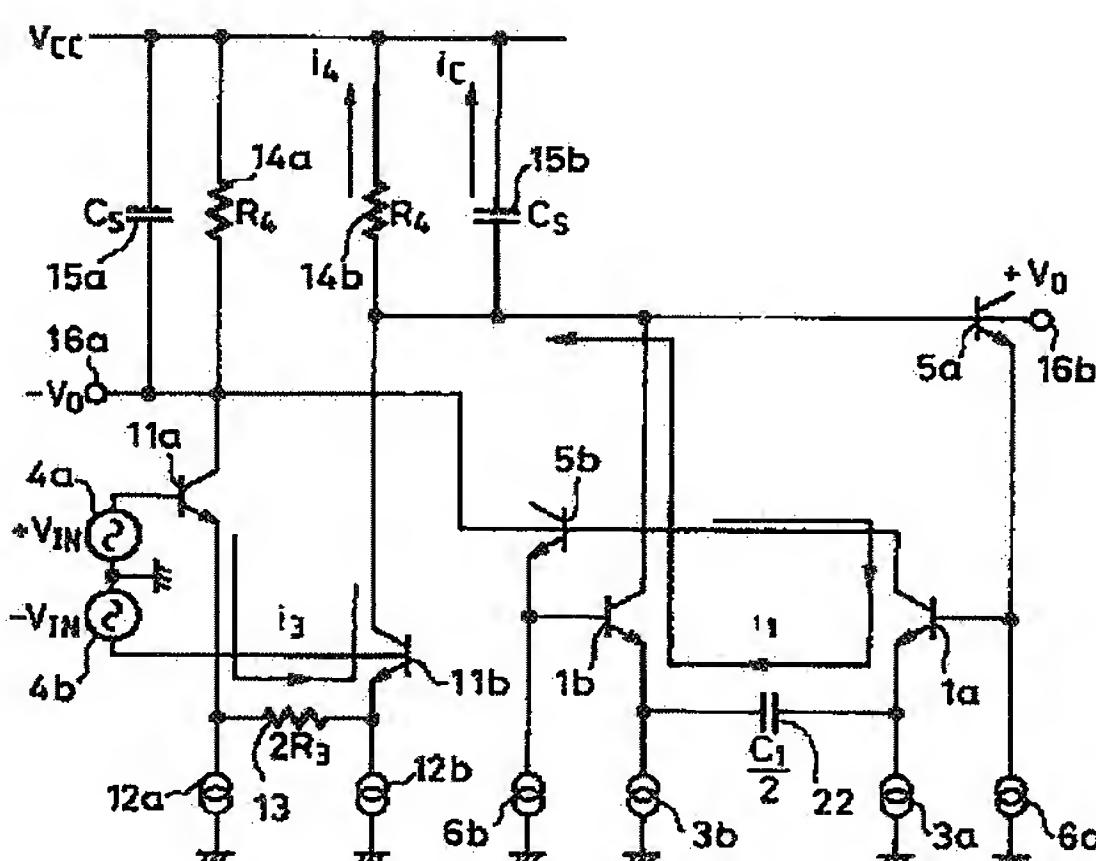
【図2】



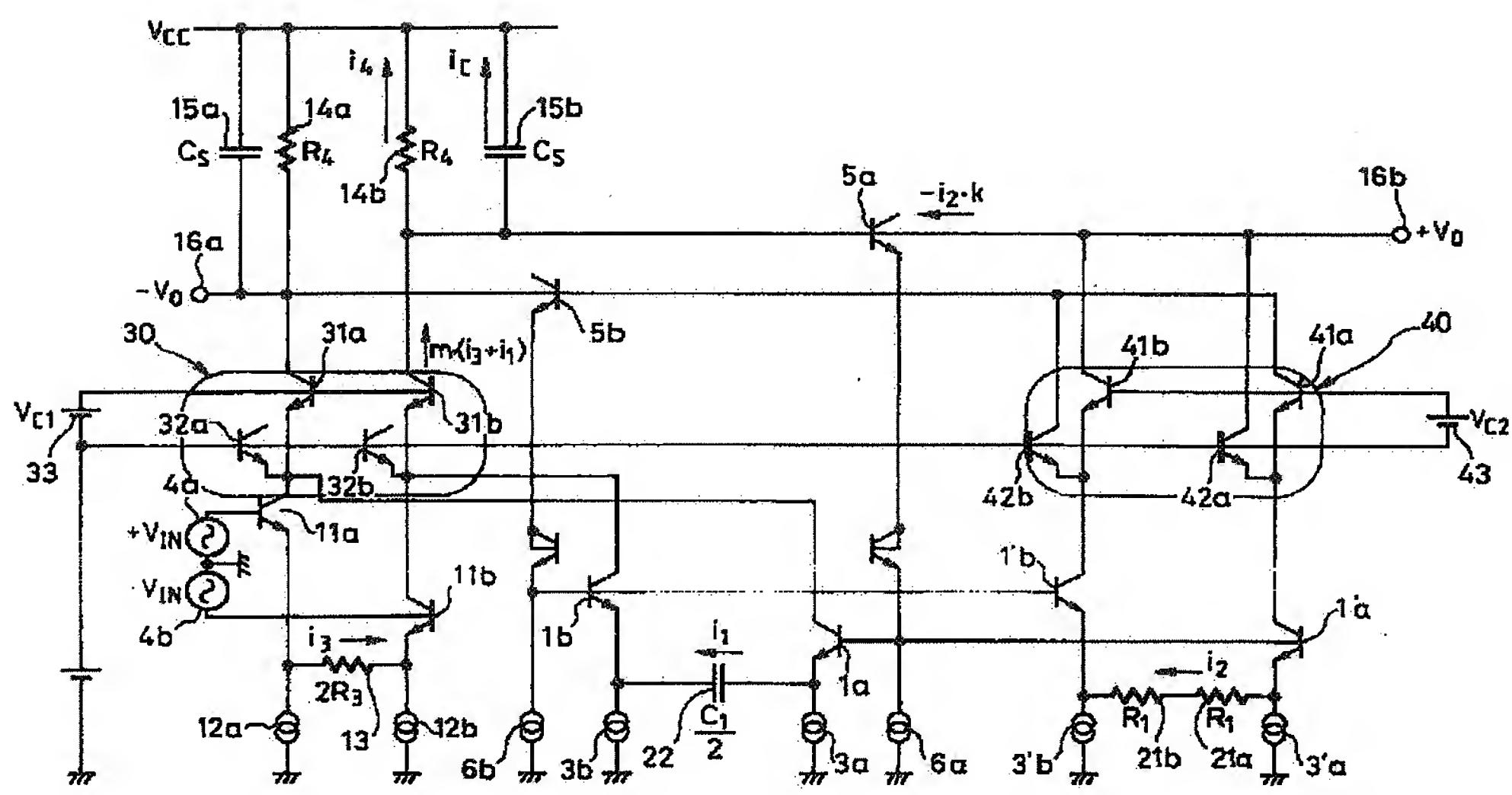
【図3】



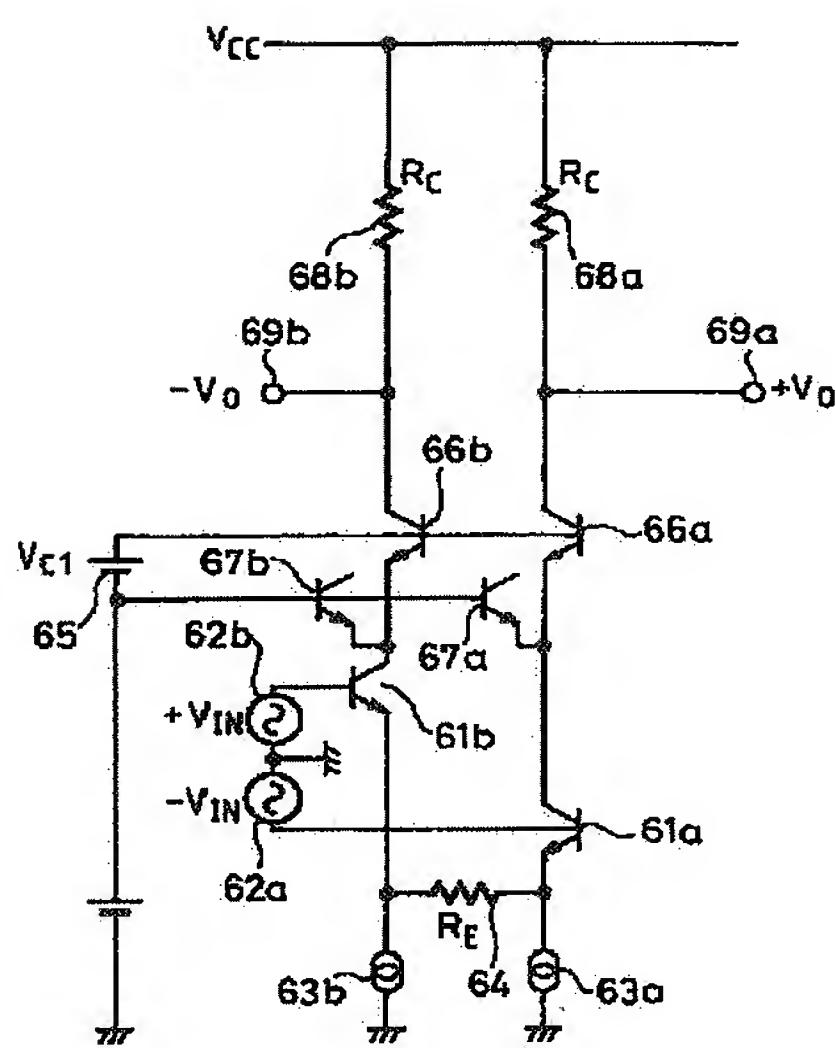
【図4】



【図5】



【図6】



フロントページの続き

(72) 発明者 村山 宜弘

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内